

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-055947
 (43)Date of publication of application : 25.02.2000

(51)Int.CI. G01R 19/165
 G05F 1/10

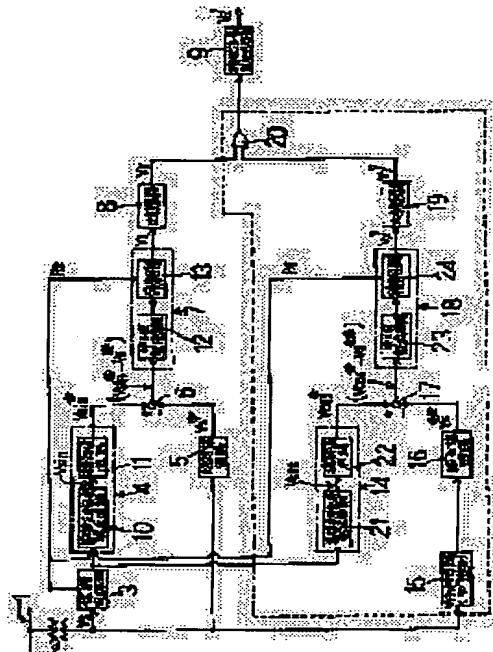
(21)Application number : 10-224283 (71)Applicant : NISSIN ELECTRIC CO LTD
 (22)Date of filing : 07.08.1998 (72)Inventor : KURIO NOBUHIRO

(54) VOLTAGE DROP DETECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage drop detecting circuit for rapidly detecting a voltage drop even in any phase.

SOLUTION: The voltage drop detecting circuit comprises first and second reference voltage waveform generators 4, 14 for generating a reference sine wave and a reference cosine wave synchronized with a system voltage V_s , a first absolute value circuit 5 for forming an absolute value waveform V_s^* of the voltage V_s , a second absolute value circuit 16 for forming an absolute value waveform V_s^{**} of a system voltage condensive signal, first and second subtracters 6, 17 for subtracting first reference waveform generator output and first absolute value circuit output, second reference waveform generator output and second absolute value circuit output, first and second unipolar integrators 7, 18 for integrating the first and second subtracter outputs, first and second comparators 8, 19 for comparing the first integrator output and reference voltage with second integrator output and reference voltage, and a detection signal generator 9 for generating and holding a detection signal when any output of the integrators 7, 18 exceeds the reference voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-55947

(P 2 0 0 0 - 5 5 9 4 7 A)

(43)公開日 平成12年2月25日(2000.2.25)

(51) Int. Cl. 7
G01R 19/165
G05F 1/10

識別記号

F I
G01R 19/165
G05F 1/10

301 P 2G035
A 5H410

テーマコード (参考)

(21)出願番号 特願平10-224283

(71)出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畠町47番地

(22)出願日 平成10年8月7日(1998.8.7)

(72)発明者 栗尾 信広

京都府京都

新電機株式会社内

(74)代理人 100064584

弁理士 江原 省吾 (外3名)

F ターム(参考) 2G035 AA13 AB07 AB08 AC08 AC16

AD22 AD23 AD27 AD31 AD32

AD62

5H410 CC03 EE03 EE22 U04 U11

1118

2210

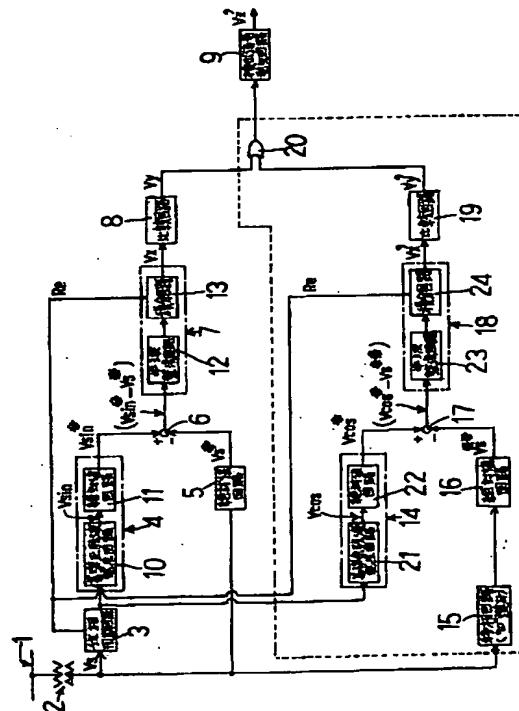
100

(54) 【発明の名称】 電圧低下検出回路

(57) 【要約】

【課題】如何なる位相においても電圧低下を高速に検出出来る電圧低下検出回路を提供すること。

【解決手段】系統電圧 V_s に同期する基準正弦波及び基準余弦波をそれぞれ発生する第1、第2各基準波形発生回路4、14と、系統電圧 V_s の絶対値波形 V_s^* を作成する第1絶対値回路5と、系統電圧進相信号の絶対値波形 V_s^{**} を作成する第2絶対値回路16と、第1基準波形発生回路出力と第1絶対値回路出力、第2基準波形発生回路出力と第2絶対値回路出力とをそれぞれ減算する第1及び第2各減算回路6、17と、第1、第2各減算回路出力をそれぞれ積分する第1及び第2単極性各積分回路7、18と、第1単極性積分回路出力と基準電圧、及び第2単極性積分回路出力と基準電圧とをそれぞれ比較する第1及び第2各比較回路8、19と、第1又は第2単極性積分回路7、18の何れかの出力が基準電圧を超えた時、検出信号を発生保持する検出信号発生回路9とを具備する。



【特許請求の範囲】

【請求項1】 電力系統の系統電圧に同期した同期信号を作成する位相同期回路と、前記同期回路から出力される同期信号に基づき系統電圧に同期し、且つ、公称値に相当する振幅を有する基準正弦波を発生する第1基準波形発生回路と、前記同期信号に基づき系統電圧に同期し、且つ、公称値に相当する振幅を有する基準余弦波を発生する第2基準波形発生回路と、前記系統電圧の絶対値波形を作成する第1絶対値回路と、前記系統電圧を進相させる移相回路を通じて作成された系統電圧の進相信号の絶対値波形を作成する第2絶対値回路と、前記第1基準波形発生回路出力と第1絶対値回路出力、及び前記第2基準波形発生回路出力と第2絶対値回路出力をそれぞれ減算する第1及び第2各減算回路と、前記第1減算回路出力の正極性成分のみを積分すると共に、前記位相同期回路から出力される所定位相毎のリセット信号によりリセットされる第1単極性積分回路と、前記第2減算回路出力の正極性成分のみを積分すると共に、前記位相同期回路から出力される所定位相毎のリセット信号によりリセットされる第2単極性積分回路と、前記第1単極性積分回路出力と基準電圧、及び前記第2単極性積分回路出力と基準電圧とをそれぞれ比較する第1及び第2各比較回路と、第1、第2各比較回路出力に基づき第1又は第2単極性積分回路の何れかの出力が基準電圧を超えた時、電圧低下検出信号を発生保持する検出信号発生回路とを具備したことを特徴とする電圧低下検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、瞬時電圧低下補償装置、停電補償装置、無停電電源等における電圧低下検出に使用される電圧低下検出回路に関するものである。

【0002】

【従来の技術】 例えは系統の電圧が停電したり、送電線の事故等で地絡が生じた時の電圧低下を検出する電圧低下検出回路の一例を図7を参照して次に示す(実開昭63-199074号公報)。図において(1)は電力系統、(2)は系統電圧検出用変圧器、(3)は位相同期回路、(4)は基準波形発生回路、(5)は絶対値回路、(6)は減算回路、(7)は単極性積分回路、(8)は比較回路、(9)は検出信号発生回路である。

【0003】 位相同期回路(3)は、入力された電力系統(1)の系統電圧(Vs)に基づき系統電圧(Vs)に位相同期した同期信号を発生し、同期信号を基準波形発生回路(4)へ加える。基準波形発生回路(4)は基準正弦波発生回路(10)と絶対値回路(11)とを具備し、位相同期回路(3)から出力される同期信号に基づき系統電圧(Vs)に同期し、且つ、系統電圧(Vs)の公称値に相当する振幅を有する基準正弦波の絶対値波形(Vsin')を発生する。

【0004】 減算回路(6)は基準波形発生回路(4)

の出力、即ち基準正弦波の絶対値波形(Vsin')から絶対値回路(5)の出力、即ち系統電圧の絶対値波形(Vs')を減算する。減算出力は無事故時には0であり、事故等により電圧低下が発生した時、減算出力(Vsin' - Vs')が生じる。

【0005】 単極性積分回路(7)は、減算回路(6)の出力(Vsin' - Vs')が発生した時、それを半波整流して正極性成分のみを出力する半波整流回路(12)と、半波整流回路(12)の出力を積分する積分回路(13)とで構成され、減算回路(6)の出力(Vsin' - Vs')の正極性成分のみを積分すると共に、基準正弦波の絶対値波形(Vsin')の所定位相(基準正弦波Vsinの0度、90度、180度、270度)毎のリセット信号(Re)によりリセットされる。

【0006】 比較回路(8)は、単極性積分回路(7)の出力(Vx)を正の基準電圧(Vr)と比較する。検出信号発生回路(9)は、比較回路(8)の出力(Vy)に基づき単極性積分回路(7)の出力(Vx)が基準電圧(Vr)を超えた時に出力を高レベルに保持、即ち電圧低下検出信号(Vz)を発生保持する。

【0007】 上記構成に基づきその動作を次に説明する。まず電力系統(1)より変圧器(2)を介して入力された系統電圧(Vs)を位相同期回路(3)に入力する。位相同期回路(3)は系統電圧(Vs)に基づき系統電圧(Vs)に位相同期した同期信号を発生して基準波形発生回路(4)へ加える。

【0008】 基準波形発生回路(4)は、位相同期回路(3)から加えられる同期信号に基づき電力系統(1)の系統電圧(Vs)に同期し、且つ、系統電圧(Vs)の公称値に相当する振幅を有する基準正弦波の絶対値波形(Vsin')を発生して減算回路(6)の正側入力端へ加える。一方、変圧器(2)を介して入力された系統電圧(Vs)を絶対値回路(5)に入力し、系統電圧の絶対値波形(Vs')を作り減算回路(6)の負側入力端へ加える。

【0009】 減算回路(6)は、絶対値回路(11)の出力である基準正弦波の絶対値波形(Vsin')から絶対値回路(5)の出力である系統電圧の絶対値波形(Vs')を減算し、その出力(Vsin' - Vs')を単極性積分回路(7)に加える。単極性積分回路(7)は、減算回路(6)の出力(Vsin' - Vs')の正極性成分のみを積分し、その積分電圧(Vx)を比較回路(8)へ加える。

【0010】 この際、単極性積分回路(7)は、前述したように、位相同期回路(3)から与えられるリセット信号によって基準正弦波(Vsin)の0度、90度、180度、270度の各位相でそれぞれリセットされることになる。尚、単極性積分回路(7)は、具体的には、減算回路(6)の出力(Vsin' - Vs')を半波整流してその正極性成分を積分回路(13)へ送り、正極性

成分を積分する。

【0011】比較回路(8)は、単極性積分回路(7)の積分電圧(V_x)を基準電圧(V_r)と常時比較し、積分電圧(V_x)が基準電圧(V_r)を超えた時、即ち停電等により基準値以上に大きい減算出力($V\sin^* - V_s^*$)が発生した時、異常と判定して出力(V_y)を発生して検出信号発生回路(9)へ送る。検出信号発生回路(9)は比較回路(8)の出力(V_y)でもってトリガされ、出力(V_y)が準安定状態となって電圧低下検出信号(V_z)を発生する。

【0012】上記電圧低下検出回路においては、電力系統(1)の電圧低下が位相変化を伴う場合には減算回路(6)の出力($V\sin^* - V_s^*$)が或る期間毎に正の状態と負の状態とに交互に変化するので、半波整流回路(12)が有効に作用する。

【0013】例えば停電等により10%の電圧低下が系統電圧0度位相で発生し、電圧低下時に位相が60度進んだ場合、基準正弦波の絶対値波形($V\sin^*$)及び系統電圧の絶対値波形(V_s^*)は図8(a)に示すようになる。そして、系統電圧0度位相で両波形の差分が生じ、減算回路(6)の出力において図8(b)に示す鋸歯状波形(V_a)を得る。波形(V_a)を半波整流回路(12)で半波整流して積分回路(13)で積分し、更に位相同期回路(3)からのリセット信号(R_e)によって点線で示すように(1/4)周期毎にリセットを掛け、図8(c)に示す積分電圧(V_x)を得る。積分電圧(V_x)が基準電圧(V_r)を超えた時点(T_o)で比較回路(8)から図8(d)に示すパルス波形の出力(V_y)を発生し、電圧低下による異常を検出する。

【0014】尚、リセット信号(R_e)は基準正弦波の絶対値波形($V\sin^*$)の所定位相(基準正弦波 $V\sin^*$ の0度、90度、180度、270度)毎に、比較回路(8)の基準電圧(V_r)の設定は電力系統(1)の系統電圧(V_s)が公称値の90%以下まで低下した状態における積分回路(13)のリセット直前の積分電圧(V_x)に等しい値にセットされている。

【0015】

【発明が解決しようとする課題】前述の電圧低下検出回路では、図8(d)に示すように、系統電圧(V_s)の位相が90度の近傍で(V_y)にパルスが発生、つまり電圧低下が検出されるまでに(1/4)周期以上の遅れ時間(T_a)を生じている。即ち、系統電圧(V_s)の位相によって検出時間に差異が生じ、瞬時電圧低下補償装置、停電補償装置等の補償装置における電圧低下検出回路の停電や瞬時電圧低下に対する検出遅れは補償動作が開始されるまでの遅れとなり、ひいては被補償装置が停止する等、被補償装置の動作に支障を来すという不具合が生じる恐れがある。

【0016】本発明の目的は、如何なる位相においても電圧低下を高速に検出出来る電圧低下検出回路を提供す

ることである。

【0017】

【課題を解決するための手段】本発明は、電力系統の系統電圧に同期した同期信号を作成する位相同期回路と、前記同期回路から出力される同期信号に基づき系統電圧に同期し、且つ、公称値に相当する振幅を有する基準正弦波を発生する第1基準波形発生回路と、前記同期信号に基づき系統電圧に同期し、且つ、公称値に相当する振幅を有する基準余弦波を発生する第2基準波形発生回路と、前記系統電圧の絶対値波形を作成する第1絶対値回路と、前記系統電圧を進相させる移相回路を通じて作成された系統電圧の進相信号の絶対値波形を作成する第2絶対値回路と、前記第1基準波形発生回路出力と第1絶対値回路出力、及び前記第2基準波形発生回路出力と第2絶対値回路出力をそれぞれ減算する第1及び第2各減算回路と、前記第1減算回路出力の正極性成分のみを積分すると共に、前記位相同期回路から出力される所定位相毎のリセット信号によりリセットされる第1単極性積分回路と、前記第2減算回路出力の正極性成分のみを積分すると共に、前記位相同期回路から出力される所定位相毎のリセット信号によりリセットされる第2単極性積分回路と、前記第1単極性積分回路出力と基準電圧、及び前記第2単極性積分回路出力と基準電圧とをそれぞれ比較する第1及び第2各比較回路と、第1、第2各比較回路出力に基づき第1又は第2単極性積分回路の何れかの出力が基準電圧を超えた時、電圧低下検出信号を発生保持する検出信号発生回路とを具備したことを特徴とする。

【0018】

【発明の実施の形態】本発明に係る電圧低下検出回路の実施の形態を図1～図6を参照して以下に説明する。まず図1において(1)は電力系統、(2)は系統電圧検出用変圧器、(3)は位相同期回路、(4)は第1基準波形発生回路、(5)は第1絶対値回路、(6)は第1減算器、(7)は第1単極性積分回路、(8)は第1比較回路、(9)は検出信号発生回路で、それぞれ図7の同一参照符号に示す部分と同一構成を有し、その説明を省略する。相違する点は、点線内に示す第2基準波形発生回路(14)と移相回路(15)と第2絶対値回路(16)と第2減算回路(17)と第2単極性積分回路(18)と第2比較回路(19)とオア回路(20)を付加したことである。

【0019】第2基準波形発生回路(14)は基準余弦波発生回路(21)と絶対値回路(22)とを具備し、位相同期回路(3)から出力される同期信号に基づき電力系統(1)の系統電圧(V_s)に同期し、且つ、系統電圧(V_s)の公称値に相当する振幅を有する基準余弦波(系統電圧の90度進相)の絶対値波形($V\cos^*$)を発生し、例えば基準正弦波の絶対値波形($V\sin^*$)の0点となる0度位相で絶対値波形($V\cos^*$)はピ一

ク点となる。

【0020】移相回路(15)は不完全微分回路からなり、系統電圧(Vs)を90度進相させるもので、他の手段や回路を用いても良い。第2絶対値回路(16)は移相回路(15)を通じて作成された系統電圧(Vs)の進相電圧信号の絶対値波形(Vs^{''})を作成し、例えば系統電圧(Vs)の絶対値波形(Vs^{*})の0点となる0度位相で絶対値波形(Vs^{''})はピーク点となる。第2減算回路(17)は第2基準波形発生回路(14)の出力波形(Vcos^{*})と第2絶対値回路(16)の出力波形(Vs^{''})とを減算し、無事故時には出力0となる。

【0021】第2単極性積分回路(18)は第2減算回路(17)の出力(Vcos^{*} - Vs^{''})を半波整流して正極性成分のみを出力する半波整流回路(23)と、半波整流回路(23)の出力を積分する積分回路(24)とで構成され、第2減算回路(17)の出力(Vcos^{*} - Vs^{''})の正極性成分のみを積分すると共に、位相同期回路(15)から出力される基準正弦波の絶対値波形(Vsin^{*})の所定位相(基準正弦波Vsinの0度、90度、180度、270度)毎のリセット信号(Re)によりリセットされる。

【0022】第2比較回路(19)は第2単極性積分回路(18)の積分電圧(Vx')を正の基準電圧(Vr)と常時比較し、積分電圧(Vx')が基準電圧(Vr)を超えた時、異常と判定して出力(Vy')を検出信号発生回路(9)へ送る。

【0023】オア回路(20)は第1、第2各比較器(8) (19)の出力(Vy)又は(Vy')の何れかが発生した時、ハイ信号を検出信号発生回路(9)に出力する。検出信号発生回路(9)は、オア回路(20)の出力に基づき第1、第2単極性積分回路(7) (24)の積分電圧(Vx) (Vx')の何れかが基準電圧(Vr)を超えた時に比較器出力(Vy)又は(Vy')を高レベルに保持、即ち電圧低下検出信号(Vz')を発生保持する。

【0024】上記構成に基づき本発明の動作を次に説明する。まず電力系統(1)より変圧器(2)を介して入力された系統電圧(Vs)を位相同期回路(3)に入力して系統電圧(Vs)に位相同期した同期信号を発生し、第1、第2基準波形発生回路(4) (14)へ加える。前記同期信号に基づき電力系統(1)の系統電圧(Vs)に同期し、且つ、系統電圧(Vs)の公称値に相当する振幅を有する基準正弦波及び基準余弦波の各絶対値波形(Vsin^{*}) (Vcos^{*})を第1、第2基準波形発生回路(4) (14)からそれぞれ発生して第1、第2減算回路(6) (17)の各正側入力端へ加える。

【0025】一方、系統電圧(Vs)を第1絶対値回路(5)、及び移相回路(15)を経て第2絶対値回路(16)にそれぞれ入力し、系統電圧の絶対値波形(Vs^{*})及び系統電圧の90度進相信号の絶対値波形(Vs^{''})をそれぞれ作って第1、第2減算回路(6) (17)の各負側入力端へ加える。

【0026】次に、第1、第2減算回路(6) (17)で絶対値波形(Vsin^{*}) (Vcos^{*})から絶対値波形(Vs^{*}) (Vs^{''})をそれぞれ減算し、各出力(Vsin^{*} - Vs^{*}) (Vcos^{*} - Vs^{''})をそれぞれ第1、第2各単極性積分回路(7) (18)に加える。そこで、各出力(Vsin^{*} - Vs^{*}) (Vcos^{*} - Vs^{''})をそれぞれ半波整流して積分回路(13) (24)へ送り、各正極性成分のみを積分して積分電圧(Vx) (Vx')をそれぞれ第1、第2各比較回路(8) (19)へ加える。この際、第1、第2各単極性積分回路(7) (18)は、位相同期回路(3)から与えられるリセット信号(Re)によって基準正弦波(Vsin)の0度、90度、180度、270度の各位相でそれぞれリセットされることになる。

【0027】そして、第1、第2各比較回路(8) (19)で各積分電圧(Vx) (Vx')をそれぞれ基準電圧(Vr)と常時比較し、積分電圧(Vx) (Vx')が基準電圧(Vr)を超えた時に出力(Vy) (Vy')を発生してオア回路(20)へ送る。オア回路出力でもって検出信号発生回路(9)がトリガされ、出力(Vy)又は(Vy')が準安定状態となって電圧低下検出信号(Vz')を発生する。

【0028】上記電圧低下検出回路の図1点線内に示す付加された回路において、例えば停電等により10%の電圧低下が系統電圧0度位相で発生し、電圧低下時に位相が60度進んだ場合、基準余弦波の絶対値波形(Vcos^{*})及び系統電圧の絶対値波形(Vs^{''})は基準正弦波の絶対値波形(Vsin^{*})及び系統電圧の絶対値波形(Vs^{*})に対し90度進相し、図2(a)に示すようになる。そして、系統電圧0度位相で両波形の差分が生じ、第2減算回路(17)の出力(Vcos^{*} - Vs^{''})において図2(b)に示す鋸歯状波形(Vb')が現れる。

【0029】そうすると、絶対値波形(Vcos^{*})及び(Vs^{''})の各位相は基準正弦波の絶対値波形(Vsin^{*})及び系統電圧の絶対値波形(Vs^{*})に対しそれぞれ90度進相しているため、系統電圧0度位相で10%電圧低下が発生した場合、絶対値波形(Vcos^{*})のピーク点で絶対値波形(Vs^{''})のピーク点が10%低下(ピーク値の90%)することになる。そのため、電圧低下発生時点で直ちに減算出力(Vcos^{*} - Vs^{''})が現れ、検出時間が早くなる。

【0030】即ち、系統電圧0度位相で基準正弦波の絶対値波形(Vsin^{*})及び系統電圧の絶対値波形(Vs^{*})は共に0点になるため、従来回路では電圧低下発生時点で直ちに減算出力(Vsin^{*} - Vs^{*})が現れず、0から積算されるため、検出が遅れる。一方、本発明回

路では直ちに減算出力 ($V_{\cos} - V_s$) が現れ、元々、検出が遅れ易い基準正弦波の0点時でも高速検出が可能となる。

【0031】尚、移相回路(15)は不完全微分回路であるため、系統電圧 (V_s) の微分により系統電圧0度位相の電圧低下の瞬間、絶対値波形 (V_s) にスパイク状の電圧が発生するが、後段の積分回路(24)により積分されて消滅し、誤動作は発生しない。又、系統電圧 (V_s) の歪みやノイズによっても同じ理由から誤動作することはない。

【0032】次に、波形 ($V_{b'}$) を半波整流回路(23)で半波整流して積分回路(24)で積分し、更に位相同期回路(3)からのリセット信号 (R_e) によって点線で示すように (1/4) 周期毎にリセットを掛け、図2(c)に示す積分電圧 ($V_{x'}$) を得る。積分電圧 ($V_{x'}$) が基準電圧 (V_r) を超えた時点 ($T_{o'}$) で第2比較回路(19)から図2(d)に示すパルス波形の出力 ($V_{y'}$) を発生し、電圧低下を検出する。即ち、電圧低下発生の瞬間から検出時点 ($T_{o'}$) までの時間 (T_b) は図8に示す時間 (T_a) よりも大幅に短縮され、高速検出が可能となる。

【0033】又、図3(a)は従来回路例、即ち図1点線外回路における基準正弦波及び系統電圧の各絶対値波形図、(b)はその積分電圧波形図、図3(c)は図1点線内回路における基準余弦波及び系統電圧の90度進相信号の各絶対値波形図、(d)はその積分電圧波形図を示す。

【0034】この系統電圧0度位相で10%電圧低下が発生した場合の従来回路と本発明の図1点線内回路における電圧低下時の系統電圧の位相変化量と検出時間遅れとの関係を図4に示す。実線が図1点線回路内の特性、破線が従来回路の特性で、図1点線内回路の検出が高速であることがわかる。尚、図4では、検出時間遅れを基準正弦波 (V_{\sin}) の1サイクルを360度として角度に換算して示している。

【0035】又、電圧低下が発生する位相によっては、本発明に係る図1点線内回路よりも従来回路の方が高速に検出出来る場合があり、例えば系統電圧の90度位相で電圧低下が発生した場合、その位相で絶対値波形 (V_{\cos}) 及び (V_s) が0点となるため、本発明に係る図1点線内回路の電圧低下検出が従来回路より遅くなる。その一例を図3に対比する形で図5に示すと、

(a) は系統電圧90度位相で電圧低下発生時における従来回路(図1点線外回路)の基準正弦波及び系統電圧の各絶対値波形図、(b) はその積分電圧波形図、

(c) は同じ条件での図1点線内回路の基準余弦波及び系統電圧の90度進相電圧の各絶対値波形図、(d) はその積分電圧波形図を示し、($T_{p'}$) ($T_{p'}$) は各検出時点である。

【0036】そこで、本発明では、図1に示す通り、従

来回路(点線外)と点線内回路とを組み合せ、それぞれの電圧低下検出出力 (V_y) ($V_{y'}$) をオア回路(20)を経て取ることで、系統電圧の如何なる位相において発生した電圧低下においても従来より同等以上の高速検出が可能となる。

【0037】尚、本発明は実開昭63-199074号公報に記されている従来回路の第2の実施例(図6に示す)に対しても適用出来る。図6の場合、単極性積分回路(25)を積分指令回路(26)と積分回路(27)とで構成している。

【0038】

【発明の効果】本発明によれば、系統電圧に同期した基準正弦波と系統電圧とを用いて系統に発生した電圧低下を検出する回路において、系統電圧に同期した基準余弦波と系統電圧の90度進相信号とを用いて従来回路では検出遅れが生じていた位相での系統電圧低下を高速検出する回路を附加したから、従来回路との組み合わせで系統電圧の如何なる位相において電圧低下が発生しても従来と同等以上の高速で電圧低下を検出出来る。

【図面の簡単な説明】

【図1】本発明に係る電圧低下検出回路の実施の形態を示す回路図。

【図2】(a) (b) (c) (d) は図1点線内回路の基準余弦波及び系統電圧進相信号の各絶対値波形図と減算器出力波形図と積分電圧波形図と比較器出力信号波形図。

【図3】(a) (b) は従来の電圧低下検出回路の基準正弦波及び系統電圧の各絶対値波形図と積分電圧波形図。(c) (d) は本発明に係る図1点線内回路の基準余弦波及び系統電圧進相信号の各絶対値波形図と積分電圧波形図。

【図4】従来と本発明に係る図1点線内回路における電圧低下時の系統電圧の位相変化量と検出時間遅れとの関係を示すグラフ。

【図5】(a) (b) は系統電圧90度位相で電圧低下発生時の従来回路(図1点線外回路)の基準正弦波及び系統電圧の各絶対値波形図と積分電圧波形図。(c)

(d) は同じ条件での図1点線内回路の基準余弦波及び系統電圧90度進相信号の各絶対値波形図と積分電圧波形図。

【図6】実開昭63-199074号公報に記されている第2の実施例で、本発明が適用可能な回路図。

【図7】従来の電圧低下検出回路の一例を示す回路図。

【図8】(a) (b) (c) (d) は図7回路の基準正弦波及び系統電圧の各絶対値波形図と減算器出力波形図と積分電圧波形図と比較器出力信号波形図。

【符号の説明】

1 電力系統

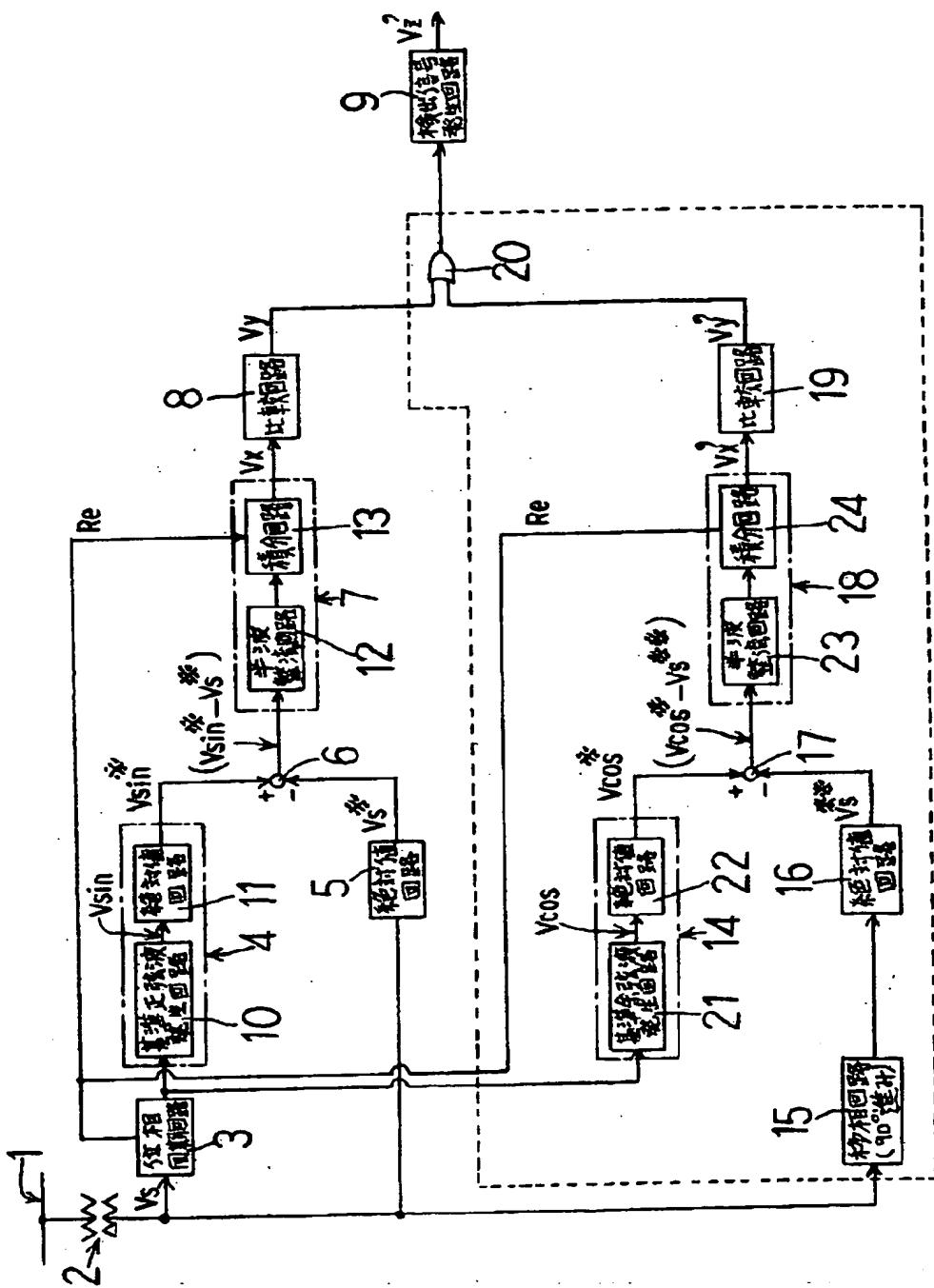
3 位相同期回路

4 第1基準波形発生回路

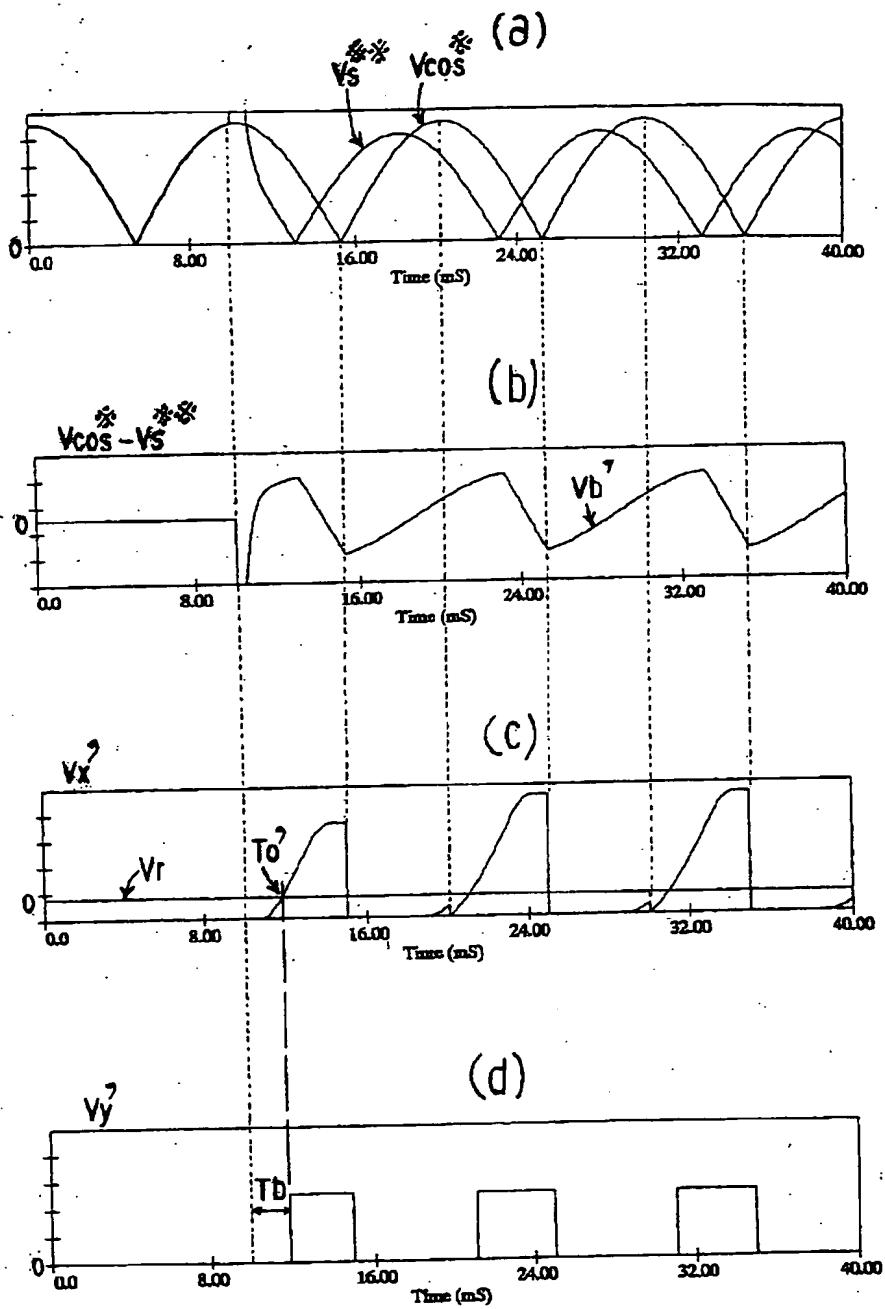
- 5 第1絶対値回路
 6 第1減算回路
 7 第1単極性積分回路
 8 第1比較回路
 9 検出信号発生回路
 14 第2基準波形発生回路
 15 移相回路
 16 第2絶対値回路

- 17 第2減算回路
 18 第2単極性積分回路
 19 第2比較回路
 Vs 系統電圧
 Vs' 系統電圧の絶対値波形
 Vs'' 系統電圧90度進相信号の絶対値波形
 Vsin 基準正弦波の絶対値波形
 Vcos 基準余弦波の絶対値波形

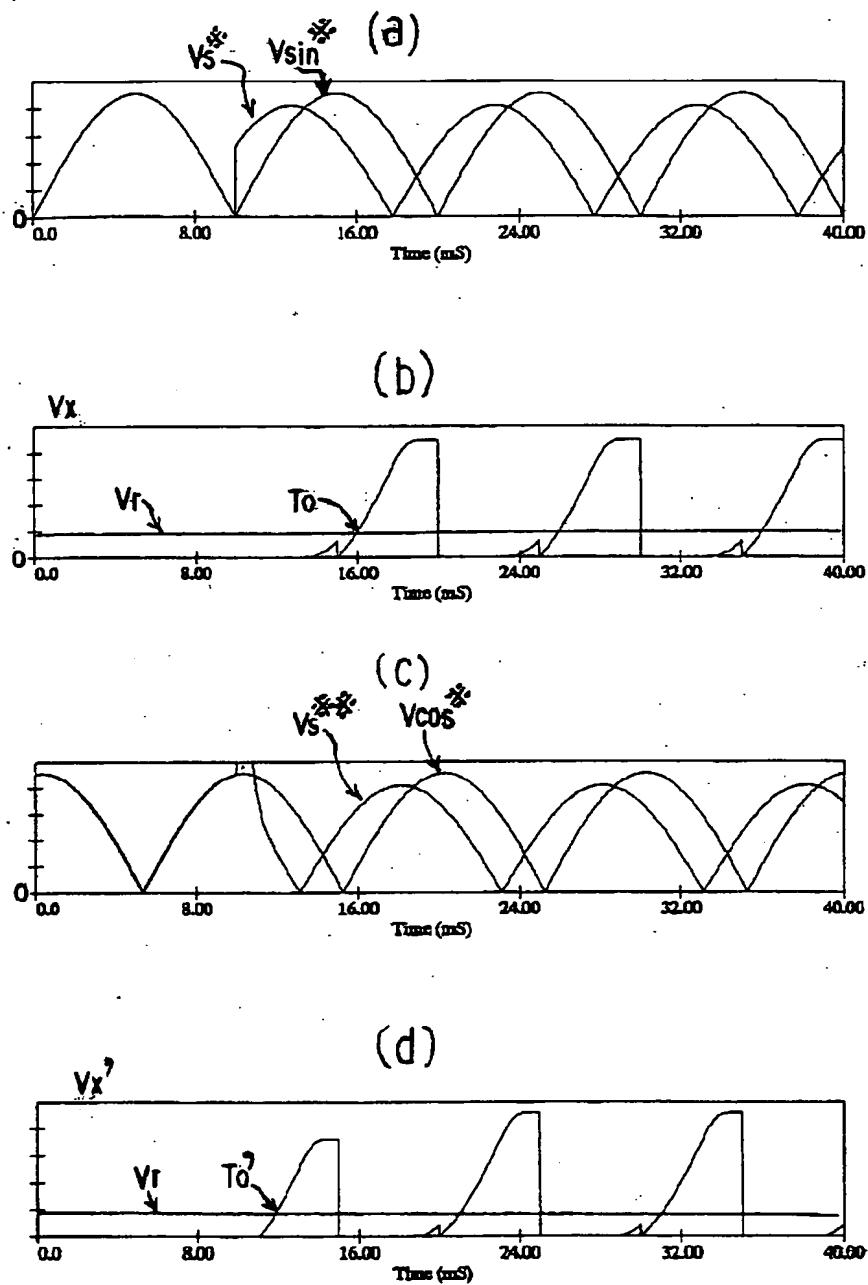
【図1】



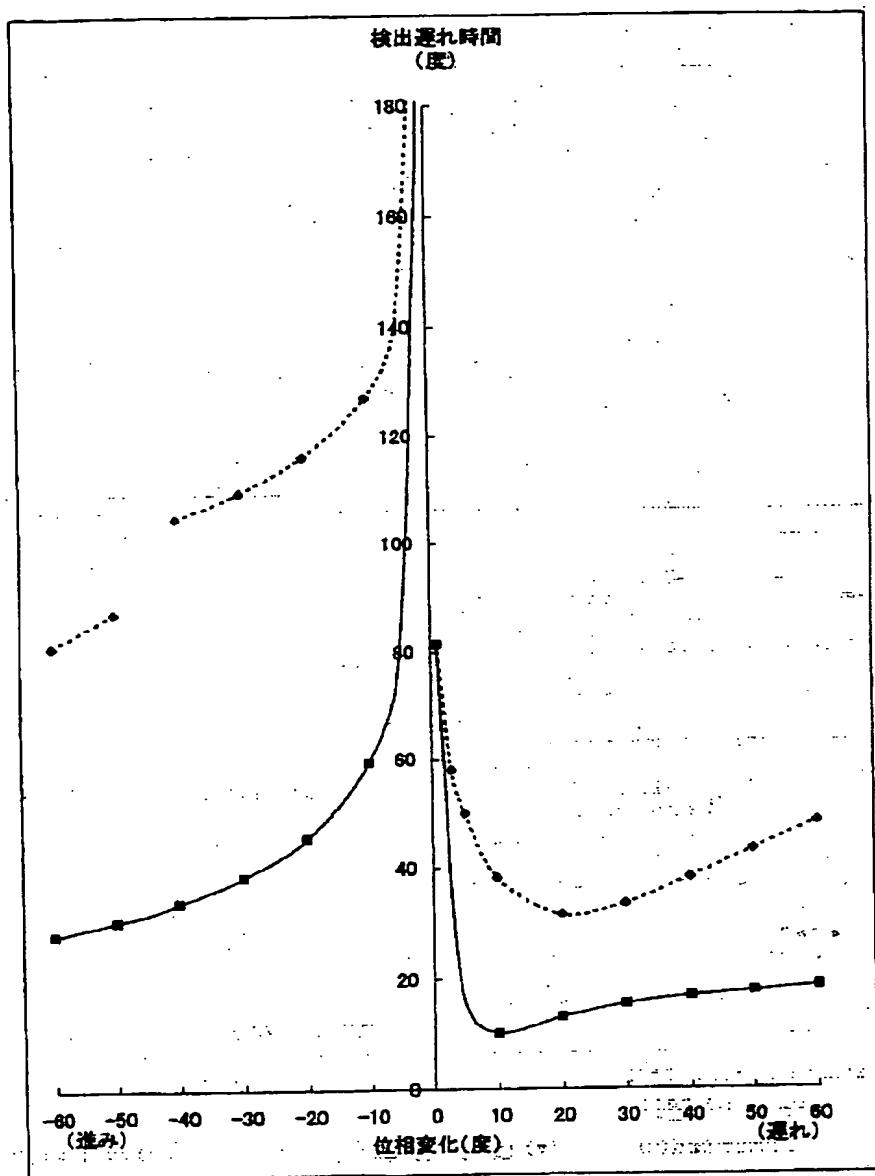
【図2】



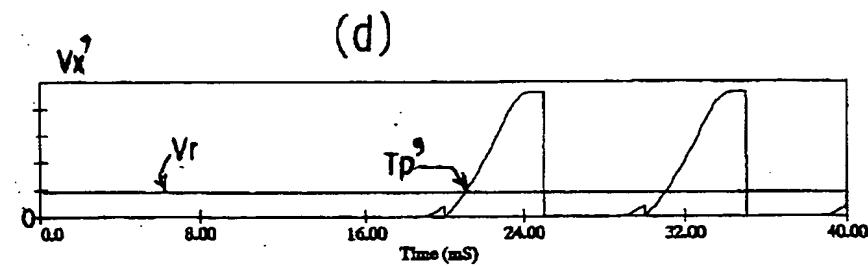
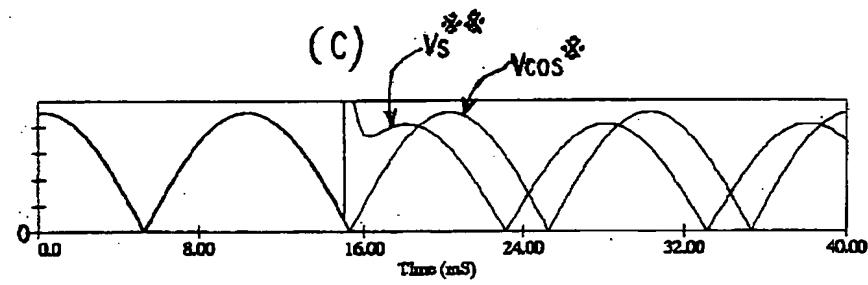
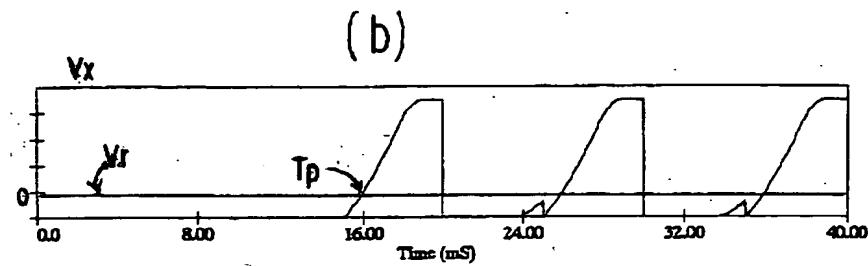
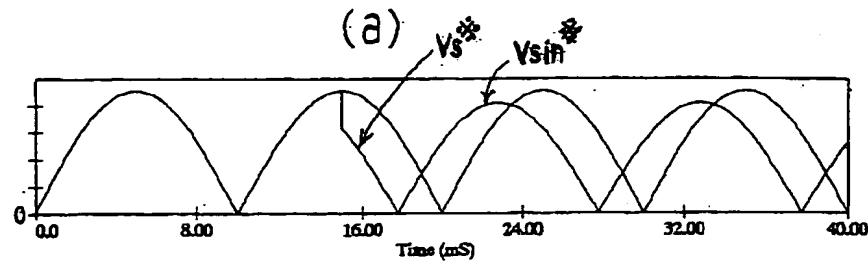
【図 3】



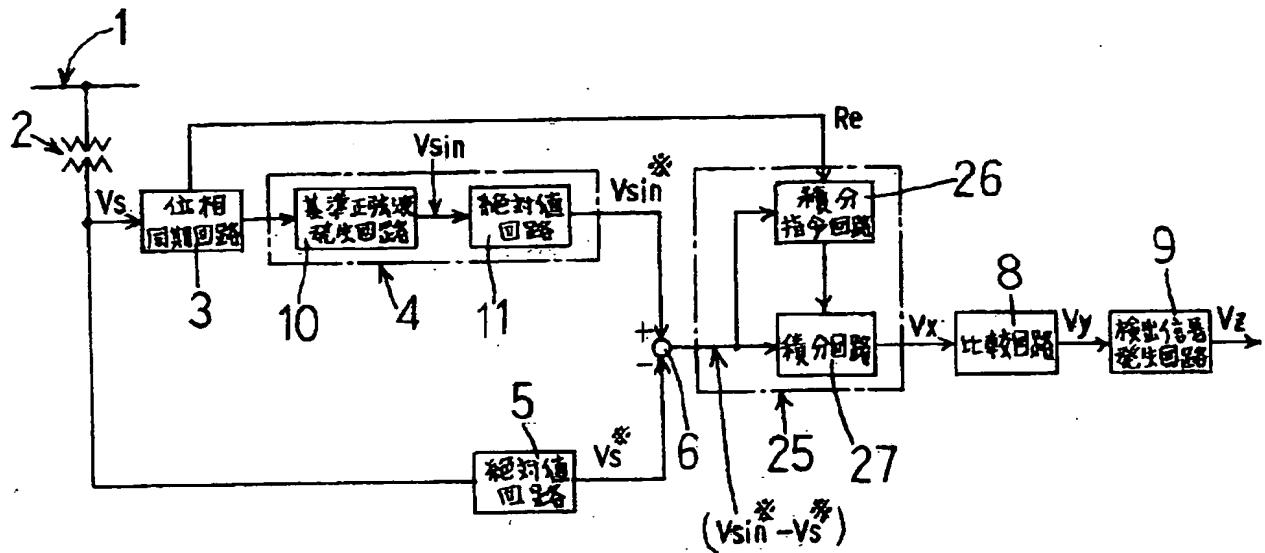
【図4】



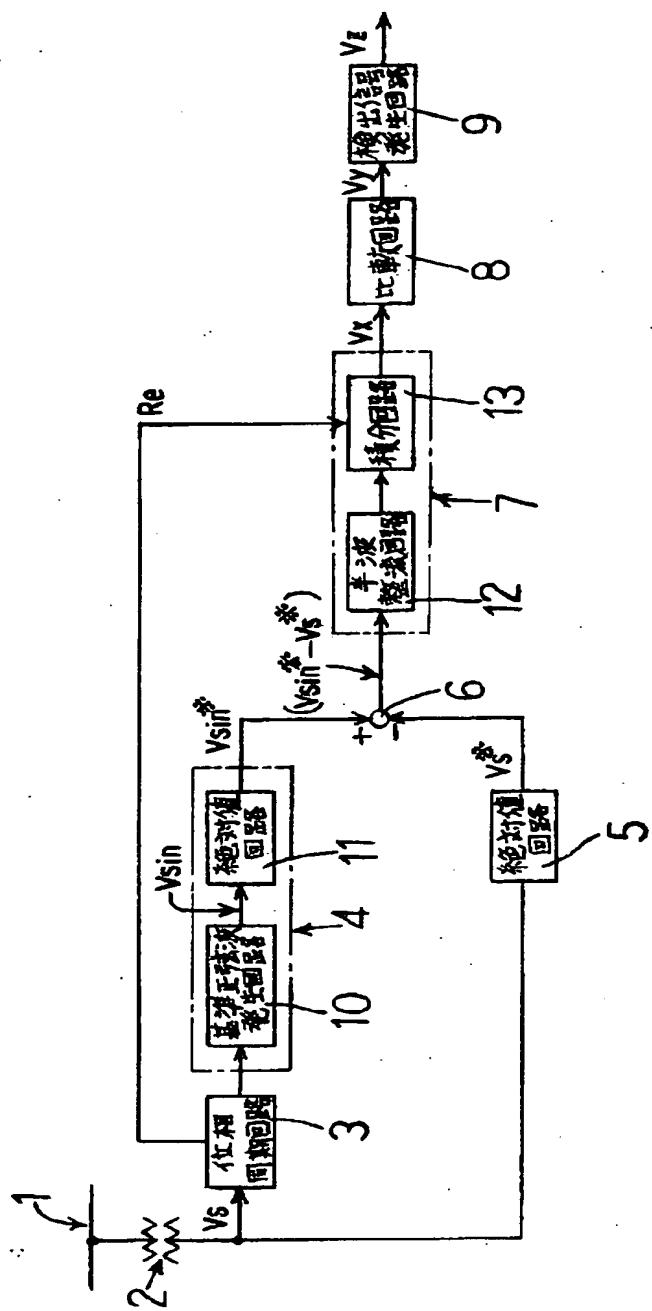
【図 5】



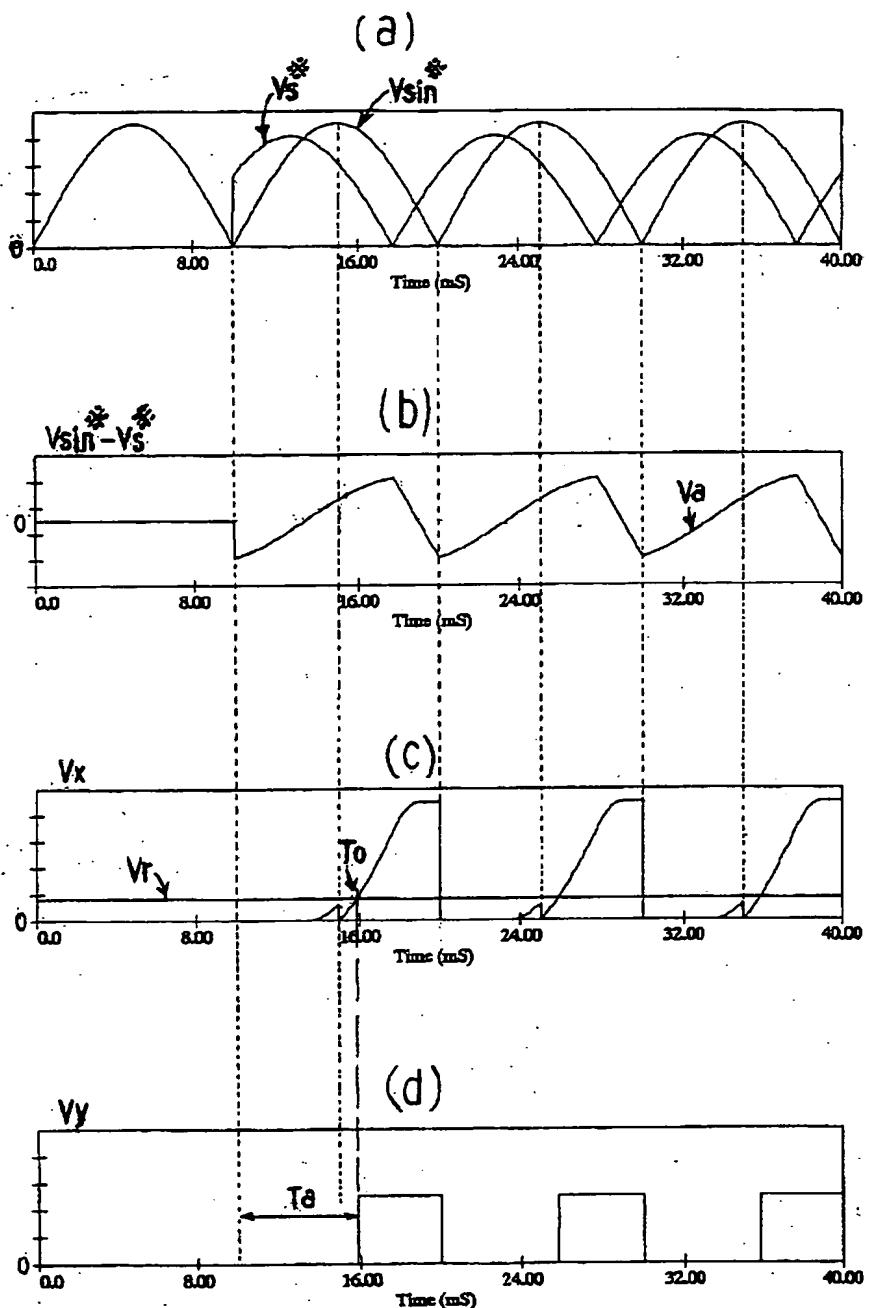
【図6】



【図 7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

BEST AVAILABLE COPY